

## PATENT ABSTRACTS OF JAPAN

7

(11)Publication number : 2000-267928

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

G06F 12/00

G06F 13/18

G06T 1/60

H04N 1/21

(21)Application number : 11-067880

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 15.03.1999

(72)Inventor : KUWANO HIDEYUKI  
MURATA KAZUYUKI  
YAMAGUCHI TAKEHITO  
OKADA YUJI  
TAKAHASHI NAOKI  
TANAKA JOJI  
HISATOMI KENJI

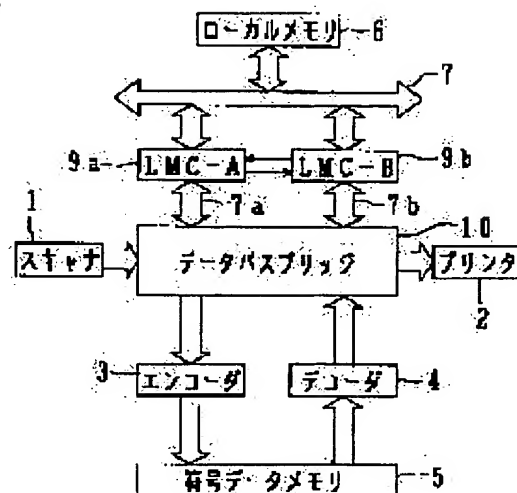
## (54) MEMORY CONTROL DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory control device capable of sharing a memory bus, reducing the number of buses and securing a fixed data transfer rate.

SOLUTION: The memory control device is provided with memory controllers 9a, 9b for mutually monitoring and controlling data flowing in a shared bus 7 in order to evade the interference of data in the bus 7. Exclusive right is applied to plural memory controllers 9a, 9b so that data of fixed quantity can be alternately transferred to these controllers 9a, 9b through the bus 7 or preferentially transferred to either one of the controllers 9a, 9b.

Consequently the number of I/O pins to/from a memory 6 is reduced and the interference of data in the bus 7 is avoided.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-267928

(P2000-267928A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 6 F 12/00	5 7 1	G 0 6 F 12/00	5 7 1 B 5 B 0 4 7
			5 7 1 C 5 B 0 6 0
13/18	5 1 0	13/18	5 1 0 B 5 C 0 7 3
G 0 6 T 1/60		H 0 4 N 1/21	
H 0 4 N 1/21		G 0 6 F 15/64	4 5 0 E
審査請求 未請求 請求項の数7 O L (全 9 頁)			

(21) 出願番号 特願平11-67880

(22) 出願日 平成11年3月15日 (1999.3.15)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 桑野 秀之

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 村田 和行

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100083172

弁理士 福井 豊明

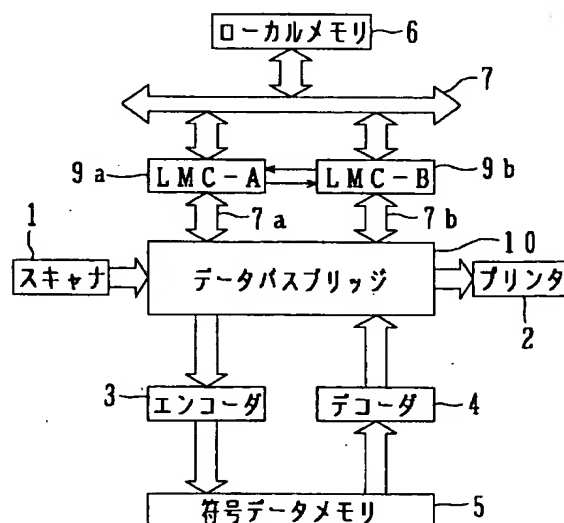
最終頁に続く

(54) 【発明の名称】 メモリ制御装置

(57) 【要約】 (修正有)

【課題】 ローカルメモリに対して、共有バスを介して複数のメモリコントローラでそのアクセスを制御しようとしたとき、データの干渉が発生する。

【解決手段】 本発明は上記共有バス7でのデータの干渉を避けるために、上記共有バスに流れるデータを相互に監視制御する上記メモリコントローラ9a、9bを備えるようにしている。上記複数のメモリコントローラ9a、9bは、共有バス7を交互に、あるいは、一方のメモリコントローラ9a (9b) に優先的に所定量のデータ転送ができるように専有権を与える。これによって、メモリ6への入出力ピンの数を減らすことができると同時に、上記共有バス7でのデータの干渉もなくなる。



## 【特許請求の範囲】

【請求項 1】 1つのメモリに対して複数のメモリコントローラが共有バスを介して接続されているメモリ装置において、

上記共有バスでのデータの干渉を避けるために、上記共有バスに流れるデータを相互に監視制御する、メモリコントローラを備えたことを特徴とするメモリ制御装置。

【請求項 2】 上記複数のメモリコントローラが共有バスを交互に使用しながら、所定のデータ量を 1 単位とした所定単位ずつのデータ転送を実行する請求項 1 に記載のメモリ制御装置。

【請求項 3】 上記 2 つのメモリコントローラによるデータ転送の調停をするアービタを備え、上記複数のメモリコントローラの何れかが所定のデータ転送レートを必要とする場合に、上記アービタに対してこれを伝達するビデオ信号要求手段とを備えた請求項 1 に記載のメモリ制御装置。

【請求項 4】 上記アービタは、上記ビデオ信号要求手段の指定するメモリコントローラに対して所定周期ごとに優先的に共有バスの割り当てを行い、該メモリコントローラに対して所定のデータ転送レートを保証する請求項 1 に記載のメモリ制御装置。

【請求項 5】 画像データ入力手段と該入力された画像データを出力する出力手段とを備え、画像データが該上記画像データ入力手段から出力手段に至る間に上記メモリ上で所定の処理がなされる画像処理装置に適用される請求項 1 に記載のメモリ制御装置。

【請求項 6】 上記画像データ入力手段が、スキャナ、ファクシミリ受信機、コンピュータよりのデータ印刷データをを入力するプリントコントローラ、ネットワークを介してのデータを入力するネットワーク受信機の中の少なくとも 1 つである請求項 5 に記載のメモリ装置。

【請求項 7】 上記出力手段が、プリンタ、ファクシミリ送信機、ネットワークを介して他の機器へのデータ転送するネットワーク送信機の中の 1 つである請求項 6 に記載のメモリ制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はメモリ制御装置に関し、特に、デジタル複合機等の画像処理装置に適用したメモリ制御装置に関するものである。

## 【0002】

【従来の技術】 近年では、コピー機能、ファクシミリ機能、プリンタ機能など複数の機能を兼ね備えた画像処理装置が広まりつつあり、このような画像処理装置では、重複した機能を同一の処理ブロックで処理することによって、ハードウェア資源を削減するようにしている。

【0003】 一方、デジタル処理を用いることにより、画像の回転、白黒反転、合成、重ね合わせ等、さまざまな画像編集が可能になる。これらの画像編集を行う

には画像メモリが不可欠となるが、上記画像処理装置の場合はさまざまな機能を同時に実行しなければならないため、あらゆるデータの流れに柔軟に対応する必要がある。そこで、本願出願人による特願平 10-140074 号に記載されるような画像処理装置が提案されている。

【0004】 この画像処理装置は、図 7 に示すように、画像データ入力手段としてのスキャナ 1 より入力された画像データを画像データ出力手段としてのプリンタ 2 より出力する機能を基本としている。この画像処理装置において、例えば、ローカルメモリコントローラ 9a（または 9b）で所定の処理を施した画像データをローカルメモリ 6 に記憶するととともに、ローカルメモリコントローラ 9a（または 9b）を介して該画像データを出力手段 2、あるいは他の処理手段に転送することが出来るようになっている。

【0005】 また、上記のように画像データ入力手段より得られた画像データをエンコーダ 3 で符号化（圧縮）して符号データメモリ 5 に一旦書き込み、該画像データをデコード（伸長）して他の処理手段を転送することもできるようになっており、上記の転送制御はエンコーダ 3 側の転送、デコーダ 4 側の転送を DMA（ダイレクトメモリアクセス）コントローラ 7（8）で実行するようになっている。

【0006】 更に、画像入力手段、画像出力手段、ローカルメモリ 6、符号データメモリ 5 間のデータバスを形成するために、データバスブリッジ 10 が設けられている。尚、上記符号データメモリ 5 はここでは単に半導体のメモリを想定しているが、該半導体のメモリを介して更に、ハードディスク等の不揮発性のメモリが接続されてもよいことはもちろんである。

【0007】 すなわち、上記画像処理装置では、例えばコピー処理（画像入力手段としてのスキャナから出力手段としてのプリンタへのデータ転送処理）と外部パソコン等からのプリントデータの受信（入力手段としてのプリントコントローラから符号メモリ 5 を介してのデータの格納）とが同時に発生した場合でも、データバスブリッジ 10 のバス形成処理によって各処理を並行して行うことができ、一方の処理が長時間の順番待ちによってエラーになることを防止することが可能である。

## 【0008】

【発明が解決しようとする課題】 上記画像処理装置の構成によるとローカルメモリ 6 での画像処理は、該ローカルメモリ 9 内で既に処理の終わった 1 ページ目の画像データを例えばローカルメモリコントローラ 9b で読み出し、プリンタ等の出力手段に転送しながら 2 ページ目の画像データをローカルメモリコントローラ 9a を介してローカルメモリに書き込んでいくようになっている。従って、入力用と出力用のメモリバス 7a、7b が 2 組必要となり、LSI にしようとした場合にそのまま入出

カピンの増大につながり、LSIのコストやパッケージのサイズに直接影響することになる。

【0009】また、上記2組のメモリバスを共有すると入出力ピンを少なくすることができるが、単にメモリバスを共有するだけでは、入出力の画像データの干渉が発生するばかりでなく、一定したデータ転送レートが得られないことが起こりうる。すなわち、スキャナやプリンタなど一定の転送レートでデータの入出力を行う必要があが、この場合に、一定のレートで入力される画像データを該レートでローカルメモリに書き込み処理ができなかったり、あるいは、所定のレートで出力する必要がある画像データが、該所定のレートが確保できないために、画像欠落が発生したりすることになる。

【0010】本発明は叙上の如き実状に対処し、上記メモリバスの共有化を図り、バスの数を削減するとともに、上記一定したデータ転送レートを確保できるメモリ制御装置を提供することを目的とするものである。

【0011】

【課題を解決するための手段】本発明は上記目的を達成するために以下の手段を採用している。

【0012】すなわち、本発明は1つのメモリ6に対して複数のメモリコントローラ9a、9bが共有バス7を介して接続されているメモリ装置を前提としている。

【0013】上記メモリ装置において、本発明は上記共有バス7でのデータの干渉を避けるために、上記共有バスに流れるデータを相互に監視制御する上記メモリコントローラ9a、9bを備えるようにしている。

【0014】上記複数のメモリコントローラ9a、9bは、共有バス7を交互に使用しながら、所定のデータ量を1単位とした所定単位ずつのデータ転送を実行することになる。これによって、メモリ6への入出力ピンの数を減らすことができると同時に、上記共有バス7でのデータの干渉もなくなる。

【0015】また、上記2つのメモリコントローラ9a、9bによるデータ転送の調停をするアービタ11を備えると、ビデオ信号要求手段12が上記アービタに対して上記複数のメモリコントローラ9a、9bの何れかが所定量のデータ転送レートを必要とする旨を伝達することによって、該指定されたメモリコントローラ9a、9bが所定量のデータ転送をすることが可能となる。

【0016】この発明は、画像データ入力手段と該入力された画像データを出力する出力手段とを備え、画像データが該上記画像データ入力手段から出力手段に至る間に上記メモリ上で所定の処理がなされる画像処理装置に適用されると有効に作用する。

【0017】

【発明の実施形態】以下さらに、本発明の実施の形態を添付図面を参照して説明する。

(実施の形態1) 図1は本発明のメモリ制御装置を画像処理装置に適用した場合のブロック図である。

【0018】図1に示す構成は、上記図7で説明した従来の構成と基本的には同じであるが、データバスブリッジ10からローカルメモリ6へのデータの入出力経路となるメモリバス7a、7bがローカルメモリコントローラ9aと9bのローカルメモリ側で共有バス7に接続され、ローカルメモリ6への入出力は該共有バス7を介してなされるようになっている。更に、上記共有バス7でのローカルメモリ6よりの入力データ、出力データの干渉をさけるために、ローカルメモリコントローラ9a、9bに双方のメモリバスでのデータの流れを監視する機能を持たせている。尚、ここでは2つのメモリバスを例に説明しているが、2つ以上であってもよいことはもちろんである。

【0019】上記実施の形態1の動作について、図1を参照して説明する。

【0020】まず、画像入力手段としてのスキャナ1から得られた画像データをエンコーダ3で符号化し符号データメモリ5に記憶する。あるいは保存が必要な場合は図示しないハードディスクに一旦格納する。このように符号データメモリ5に記憶された(ハードディスクに格納されている場合は符号データメモリ5に読み出した後)1ページ目の画像データはデコーダ4で伸長しメモリコントローラ9aで例えば回転処理を施してローカルメモリ6に記憶される。1ページ目の画像データがローカルメモリ6に記憶されると、メモリコントローラ9bでそのデータを読み出し他の処理、例えば画像出力手段としてのプリンタ2で印刷するようになっている。この1ページ目の読み出し処理と同時に、2ページ目の画像データをデコーダ4で伸長しメモリコントローラ9aで回転してローカルメモリ6に記憶する。

【0021】このとき、メモリコントローラ9aとメモリコントローラ9bは同時に共有バス7を使用するので該共有バス7の調停が必要になる。

【0022】図2は共有バス7の調停時のメモリコントローラ9a、メモリコントローラ9b間の制御信号のタイミング図であり、同図(a)の状態21は、共有バス7の占有状態(バス使用权)を示している。

【0023】ステータス信号22(図2(b))はメモリコントローラ9aの共有バス7の使用状態を表し、ステータス信号24(図2(d))はメモリコントローラ9bの共有バス7の使用状態を表す信号である。リクエスト信号23(図2(c))、リクエスト信号25(図2(e))はそれぞれ、共有バス7を使用したい場合に相手のメモリコントローラに共有バス使用要求を通知する信号である。

【0024】まず、メモリコントローラ9aがデータ転送の準備が整った時点でリクエスト信号23をイネーブル(High:以下簡略してHと記す)にする(ステップ1A)。次のクロック(図2(f)参照)でメモリコントローラ9bのステータス信号24がディセーブル状態

(Low: 以下簡略してLと記す)、すなわちメモリコントローラ9aは、メモリコントローラ9bが共有バス7を使用していない状態であれば、上記リクエスト信号23をL、ステータス信号22をHにしてバス使用权を獲得する(ステップ2A)。このようにバスの使用权を獲得できると、メモリコントローラ9aは所定データ量のデータ転送を実行し、該データ転送が終了するとステータス信号22をLにして、バス使用权を放棄する(ステップ5A)。

【0025】ここで、メモリコントローラ9aが共有バス7を占有している間にメモリコントローラ9bがリクエスト信号25をHにしたとすると、メモリコントローラ9bは次のステップでメモリコントローラ9aのステータス信号22を確認し、これがH状態であればリクエスト信号25をHの状態のまま保持する(ステップ3A)。この状態で、メモリコントローラ9aのステータス信号22がLになったことを検出した段階で、メモリコントローラ9bはステータス信号24をH、リクエスト信号25をLにして、バス使用权を獲得する(ステップ6A)。

【0026】また、メモリコントローラ9aもデータ転送の準備が整ってさえいれば、バス使用权を放棄した次のステップ(ステップ6A)でリクエスト信号23をHにして、共有バス7の使用权を求めていることを相手側に通知する。次のステップ(ステップ7A)で上記メモリコントローラ9aはステータス信号24がHであるので、共有バス7の使用权が開放されるまでリクエスト信号23をHに保持する。

【0027】以下同様にして、共有バス7の使用权を獲得したメモリコントローラ9aまたはメモリコントローラ9bは必ず一度共有バス7の使用权を開放して、もう一方のメモリコントローラが共有バス7の使用权を要求しているか否かを確認する。このような構成にすることで、共有バス7の使用权を公平に分配することができる。

【0028】次に、上記2つのメモリコントローラ9a、9bの出力するリクエスト信号が同時にHになった場合の動作を説明する。

【0029】まず、メモリコントローラ9bがデータ転送の準備が整った時点でリクエスト信号25をHにする(ステップ13A)。次のクロックでメモリコントローラ9aのステータス信号22がLであれば、メモリコントローラ9bのリクエスト信号25をL、ステータス信号24をHにしてバス使用权を獲得する(ステップ14A)。メモリコントローラ9bは所定データ量のデータ転送が終了するとステータス信号24をLにして、バス使用权を放棄する(ステップ17A)。次に、メモリコントローラ9bは、リクエスト信号25をLにしてから、例えば一定時間たって該リクエスト信号25をHにしたとし、このとき同時に、メモリコントローラ9aも

リクエスト信号23をHにしたとする(ステップ21A)。

【0030】この場合、直前に使用していたメモリコントローラ9aに共有バス7の使用权が与えられる。したがって、次のステップでメモリコントローラ9aはステータス信号22をHに、リクエスト信号23をLにして、バス使用权を獲得する(ステップ22A)。

【0031】また、メモリコントローラ9bはリクエスト信号25をHにした状態を保持し、この状態で、メモリコントローラ9aは所定データ量のデータ転送が終了するとステータス信号22をLにして、バス使用权を放棄する(ステップ25A)。メモリコントローラ9bはこの時点で共有バス7が開放されたことを確認して、バス使用权を獲得する(ステップ26A)。

【0032】したがって、共有バス7の使用权を獲得するのにもっとも時間がかかるのは、双方のリクエスト信号がぶつかったときであり、本実施の形態を例にとると、メモリコントローラ9bがリクエスト信号25をHにしてからバス使用权が獲得されるまでの最長時間42は5ステップ分になる。しかし、逆にこの値を考慮してリクエスト信号を出すようにしてやると、メモリコントローラ9bで仮に最低データ転送レートを確保するに必要な時間41以内での共有バス7の占有が可能となる。尚、各ステータス信号22、24のHの期間は一回のデータ転送によって転送されるデータ量に基づいて予め設定されることになる。

【0033】以上、図2では双方のメモリコントローラ9a、メモリコントローラ9bが共有バス7の使用权を要求する場合について説明したが、図3では一方のメモリコントローラだけが共有バス7の使用权を要求している場合について説明する。

【0034】まず、メモリコントローラ9aがデータ転送の準備が整った時点で図3(c)に示すリクエスト信号23をHにする(ステップ1B)。次のクロックで図3(e)に示すメモリコントローラ9bのステータス信号24がLであれば、リクエスト信号23をL、図3(b)に示すステータス信号22をHにしてメモリコントローラ9aはバス使用权を獲得する(ステップ2B)。このようにバス使用权を獲得したメモリコントローラ9aは所定データ量のデータ転送が終了するとステータス信号22をLにして、バス使用权を放棄する(ステップ7B)。

【0035】次のステップで図3(d)に示すメモリコントローラ9bのステータス信号24がLであればメモリコントローラ9aはリクエスト信号23をL、ステータス信号22をHにしてバス使用权を獲得する(ステップ8B)。

【0036】以下同様にして、共有バス7の使用权を開放した次のステップで、もう一方のメモリコントローラ

が共有バス7の使用権を要求していない場合には、前回共有バス7の使用権を獲得していたメモリコントローラが継続して共有バス7の使用権を獲得できるようにする。このような構成にすることで、共有バス7が空いているときには、共有バス7を継続して使用することが可能になり資源を有効活用することができる。

【0037】上記のような構成にすることにより、複雑なアプリケーションでローカルメモリに同時にアクセスするようなことがあっても、所定の最低データ転送レートを下回ることなく効率的にローカルメモリへのデータ転送を実現することができる。

(実施の形態2) 次に、本発明の実施の形態2について図4を参照して説明する。

【0038】この実施の形態2の構成は上記実施の形態1の構成に加えて、アービタ11とビデオ信号要求レジスタ12とを加えた構成を有している。ここで、ビデオ信号とは常に一定のレートで転送する必要のあるデータを意味し、たとえば、プリンタへの出力データ、スキャナよりの入力データ等がある。

【0039】上記アービタ11はメモリコントローラ9aとメモリコントローラ9bが同時に共有バス7の使用権を確保しようとするときにこの共有バス7の使用権の調停を行うものであり、上記ビデオ信号要求レジスタ12は、上記アービタ11に対して、ビデオ要求信号で、どのビデオデータをいくらのレートでどこに転送すべきかを予め通知しておく。更に、このビデオ信号要求レジスタ12は、画像データの転送優先順位、各画像データの最低データ転送レート、画像データのデータ量等を更に上位のコントローラより受けて記憶している。

【0040】ここで、アービタ11を用いた動作について図5を参照して説明する。図5は共有バス7の調停時のメモリコントローラ9a及びメモリコントローラ9bとアービタ11間の制御信号のタイミング図である。図5(a)に示す状態信号31は共有バス7の占有状態を示している。

【0041】アービタ11より各メモリコントローラ9a、9bに出力されるイネーブル信号32(図5(b))及びイネーブル信号34(図5(d))はそれぞれメモリコントローラ9a及びメモリコントローラ9bの共有バス7の使用許可信号であり、この信号がHのときに各メモリコントローラは共有バス7を使用することができる。リクエスト信号33(図5(c))、リクエスト信号35(図5(e))、はそれぞれ、共有バス7を使用する場合にメモリコントローラ9a、9bからアービタ11に共有バス使用要求を伝達する信号である。

【0042】また、マスク信号36(図5(f))はアービタの内部信号であり、一定転送レートを確保するために指定されたコントローラ以外のリクエスト信号は保留されることを意味する信号である。

【0043】上記イネーブル信号32、34は上記マ

ク信号36とリクエスト信号33、35に基づいて形成される。例えば以下の例でいうと、マスク信号36がHのときにメモリコントローラ9aのリクエスト信号33がHになってもイネーブル信号32はHにはならないが、マスク信号36がHのときにメモリコントローラ9bのリクエスト信号35がHになると、イネーブル信号34は必ずHになる。すなわちメモリコントローラ9bの処理が優先されることになる。尚、マスク信号36がLの期間はリクエスト信号33、35のいずれもがアービタ11で受け入れられるようになっている。

【0044】なお動作例として、実施の形態1と同様の場合を例にする。この動作例では、メモリコントローラ9bの出力はプリンタ2となり、該プリンタ2は、一定のデータ転送レートでビットマップデータを入力してやる必要があり、例えば一般のプリンタ装置では内部に1ライン分以上のラインバッファを備えているが、少なくともそのラインバッファが空にならないように、該プリンタ装置への入力をコントロールしてやる必要がある。そこで、メモリコントローラ9bをプリンタ等のビデオ信号を必要とする機器への入力側であるとして、以下の説明を行う。

【0045】まず、メモリコントローラ9aがデータ転送の準備が整った時点でリクエスト信号33をHにしてアービタ11に通知する(ステップ1C)。この状態で、アービタ11は上記共有バス7が空いていれば(すなわち、メモリコントローラ9bによる転送処理が実行されていなければ)メモリコントローラ9aに対するイネーブル信号32をHにする(ステップ2C)。メモリコントローラ9aは、イネーブル信号32がHになったのを確認して上記共有バス7の使用権を確保する(ステップ3C)。

【0046】メモリコントローラ9aは、所定データ量の転送が終了した時点で、直ちにリクエスト信号33をLにする(ステップ5C)。それを確認してアービタは、速やかにイネーブル信号32をLにして共有バス7の使用権を開放する(ステップ6C)。一方、メモリコントローラ9bでも同様にデータ転送の準備が整った時点でリクエスト信号35をHにする。

【0047】アービタ11では、上記メモリコントローラ9aが共有バス7を使用中であれば、該メモリコントローラ9aでの所定データ量のデータ転送が終了すると同時にメモリコントローラ9bに対するイネーブル信号34をHにする(ステップ6C)。メモリコントローラ9bはイネーブル信号32がHになったのを確認して共有バス7の使用権を確保する(ステップ7C)。

【0048】上記メモリコントローラ9bは所定データ量の転送が終了した時点で、直ちにリクエスト信号35をLにする(ステップ9C)。それを確認してアービタ11は、速やかにイネーブル信号34をLにして共有バス7の使用権を開放する(ステップ10C)。

【0049】ここで、メモリコントローラ 9b では、先に述べたように所定のデータ転送レートを満足する必要がある。すなわち、上記アービタ 11 には、上記ビデオ信号要求レジスタ 12 より、どのデータを幾らのレートでどこに転送すべきかを通知されており、該通知に基づいてアービタ 11 は所定の周期で上記マスク信号 36 を H の状態にする。このマスク信号 36 が H である期間はメモリコントローラ 9a から出力されるリクエスト信号 33 は保留され、メモリコントローラ 9a から出力されるリクエスト信号 35 のみがアービタ 11 に受け入れられるようになっている。

【0050】まず、メモリコントローラ 9a がデータ転送の準備が整った時点でリクエスト信号 33 を H にする（ステップ 15C）。このときアービタ 11 は次のステップでメモリコントローラ 9a からのリクエスト信号 33 が H であることを検出するが、このとき上記マスク信号が H である場合、このリクエスト信号 33 は保留される。

【0051】その間にメモリコントローラ 9b よりのリクエスト信号 35 が H になり（ステップ 16C）、アービタ 11 では該リクエスト信号 35 が H になった状態を検出してメモリコントローラ 9b に対するイネーブル信号 34 を H にする（ステップ 17C）。メモリコントローラ 9b では、所定データ量の転送が終了した時点で、リクエスト信号 35 を L にして速やかに共有バス 7 の使用权を開放しする（ステップ 20C）。アービタ 11 は、それを確認して上記イネーブル信号 34 を L にするとともに、メモリコントローラ 9a に対するイネーブル信号 32 を H にする（ステップ 21C）。メモリコントローラ 9a ではイネーブル信号 32 が H になったのを確認して共有バス 7 の使用权を確保する（ステップ 22C）。

【0052】なお、マスク信号 36 が H の時点で必ずしもビデオデータを扱っているメモリコントローラ（この場合メモリコントローラ 9b）よりリクエスト信号 35 出力される必要はなく、また、マスク信号 36 が L の部分では、実施の形態 1 で示したように交互にデータ転送を行うモードになる。また、本実施の形態では 2 つのメモリコントローラを使用した例について示しているが、メモリコントローラの数が増えても同様の効果が得られる。

【0053】以上のような構成にすることにより、メモリコントローラ 9b では、ほぼ一定のデータ転送レートを崩すことなく、共有バス 7 の競合をすることが可能である。尚、上記マスク信号 36 の周期や H の期間は確保したいレートによって予め設定されることになる。更に、各イネーブル信号 32、34 の H の期間は、上記実施の形態 1 におけるステータス信号 22、24 と同様、一回のデータ転送で転送されるデータ量によって予め設定されることになる。

（実施の形態 3）さらに、本発明の実施の形態 3 の画像処理装置について図 6 を参照して説明する。

【0054】この実施の形態 3 の画像処理装置は、図 1 に示した実施の形態 1 の画像処理装置に比較して、入力手段としてのプリンタコントローラ（以下 R P C という）51 と、F A X モデム 52 とを加えた構成を有している。

【0055】上記 R P C 51 は、ネットワークやローカルインターフェイスを介して、コンピュータなどから印刷命令を受け取り、その命令をビットマップデータに展開する。

【0056】上記 F A X モデム 52 は、公衆回線や内線、最近ではインターネットを介してファクシミリデータを送受信する手段である。ファクシミリは一般に M H、M R などの符号データが使われているため、図 6 では符号データメモリ 5 と同じ C P U バス 54 に接続しているように記載しているが、F A X モデム自身に符号化／復号機能を備えているような場合には、R P C 51 と同様にデータバスブリッジ 10 に対してデータを入力する構成とすることができる。

【0057】なお、エンコーダ 3 及びデコーダ 4 は符号データバス 53 に、符号データメモリ 5 は C P U バス 54 にそれぞれ接続されており、符号データバス 53 と C P U バス 54 はバスブリッジ 55 を介して接続されている。

【0058】次に、図 6 においてファクシミリの送信について説明する。まず最初に、スキャナ 1 から原稿を読み込んでエンコーダ 3 で符号化し、符号データバス 53、バスブリッジ 55、および C P U バス 54 を経由して符号データメモリ 5 に記憶する。

【0059】符号データメモリ 5 の符号データは F A X モデム 52 を通して、外部に送信される。この時、相手先のファクシミリの能力により画像サイズ、符号化方式を変更してやる必要があるが、F A X モデム 52 にそれらの機能が盛り込まれている場合には F A X モデム 52 でその処理を行い、そうでない場合には、デコーダ 4 で一度ビットマップデータにして、データバスブリッジ 10 を経由して再度エンコーダ 3 で符号化変換を行い送信する。

【0060】ファクシミリの受信の場合にはまず、F A X モデム 52 から受信された符号データは、符号データメモリ 5 に記憶される。符号データは、受信が完了するとプリンタ 2 が空いているときにデコーダ 4 でビットマップデータに展開され、印刷される。この時に、回転や拡大が必要な場合には一度ローカルメモリ 6 上に展開された後印刷される。

【0061】パーソナルコンピュータからのプリントの場合には、R P C 51 でプリントコマンドを受け取って、エンコーダ 3 で符号化して符号データメモリ 5 に記憶される。プリンタ 2 が空いたときを見計らって、符号

データはデコーダ 4 で伸長されてプリンタ 2 から印刷される。

【0062】なお、ここではRPC51とFAXモデム52の双方が装備されているように記載しているが、一方のみ装備しているような装置であっても上記それぞれの効果が得られるのは明らかである。

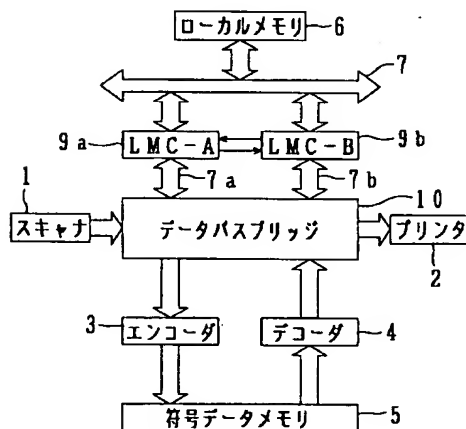
【0063】尚、上記各実施の形態において、メモリコントローラを2つ使用する場合を示したが、それ以上のメモリコントローラを相互に監視しながら制御する構成としてもよいことはもちろんである。

【0064】

【発明の効果】以上説明したように、本発明のメモリ制御装置は、メモリコントローラをメモリに対し共有バスを介して接続するとともに、上記メモリとの間でデータ転送が必要な際に、所定のデータ量を1単位としてデータ転送を行って1単位のデータ転送毎に上記メモリバスを開放し、上記複数のメモリコントローラがデータ転送を要求している場合には1単位ずつ相互の転送処理が干渉しないように、共有バスを使用するようになっている。従って、複雑なアプリケーションで上記メモリに同時にアクセスするようなことがあっても1本のメモリバスを共有できるとともに、上記データ転送する単位のサイズを最適化するだけで、所定のデータ転送レートを満足するようなメモリアクセスを可能にすることができ、さらに、メモリバスが空いている場合にはこのメモリバスを有効活用して高速データ転送をすることも可能である。

【0065】また、所定のタイミングでビデオ信号を優先させるように、ビデオ信号以外のデータ転送要求をマスクしてビデオ信号を優先することにより、一定のデータ転送レートを要求する入出力であっても、メモリバスを共有しながらもデータを途切れることなく転送して、

【図1】



複合した動作を実現することが可能である。

【0066】さらに、プリンタコントローラやファクシミリなどを結合することにより、より大きく複雑な複合動作のシステムを実現することが可能である。

【図面の簡単な説明】

【図1】本発明の実施の形態1における画像処理装置の構成を示すブロック図である。

【図2】実施の形態1における動作を示すタイミングチャート図である。

10 【図3】実施の形態1における他の動作を示すタイミングチャート図である。

【図4】本発明の実施の形態2における画像処理装置の構成を示すブロック図である。

【図5】実施の形態2における動作を示すタイミングチャート図である。

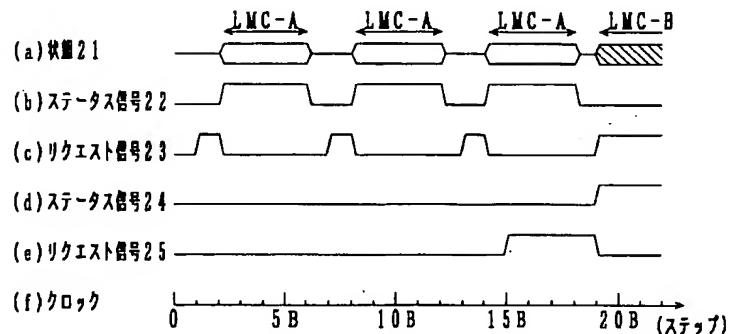
【図6】本発明の実施の形態3における画像処理装置の構成を示すブロック図である。

【図7】従来の画像処理装置の構成を示すブロック図である。

20 【符号の説明】

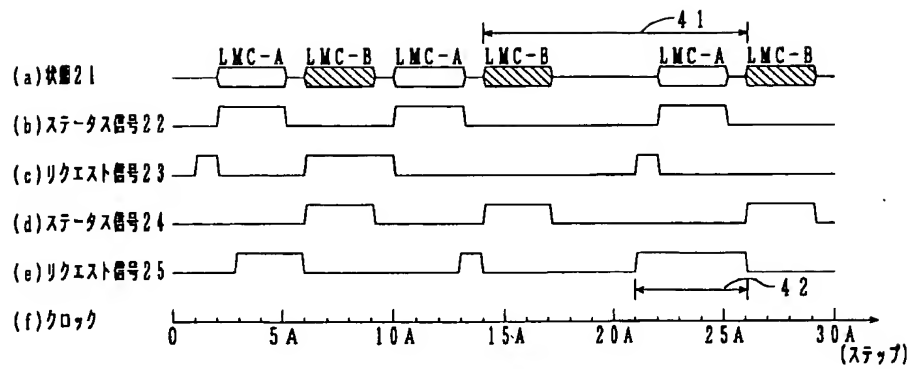
- 1 : スキャナ
- 2 : プリンタ
- 3 : エンコーダ
- 4 : デコーダ
- 5 : 符号データメモリ
- 6 : ローカルメモリ
- 7 : 共有バス
- 9 a、9 b : ローカルメモリコントローラ
- 10 : データバスブリッジ
- 30 11 : アービタ
- 12 : ビデオ信号要求レジスタ

【図3】

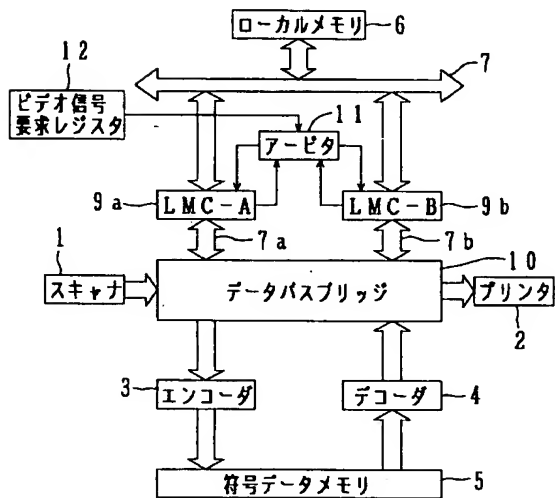




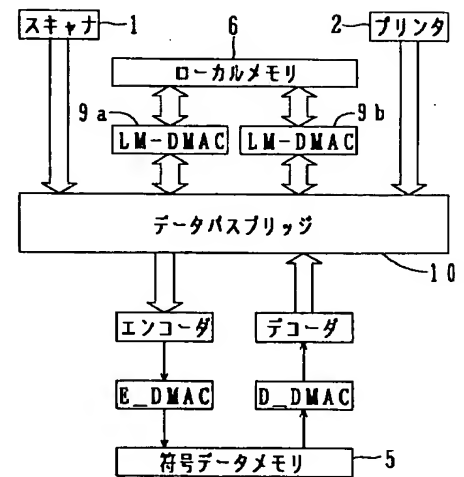
【図 2】



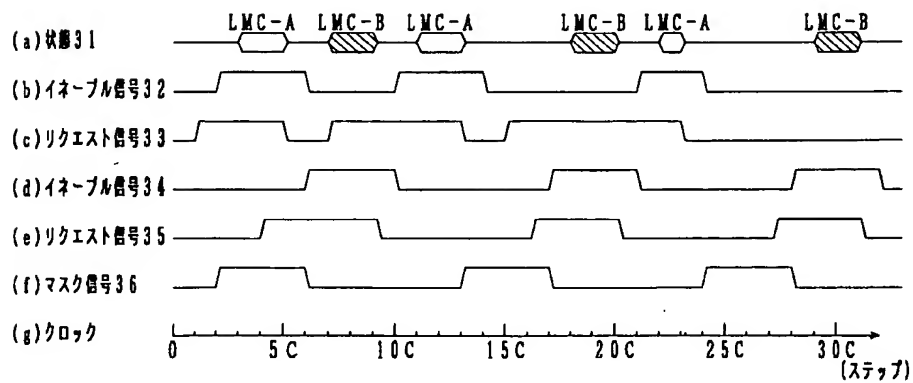
【図 4】



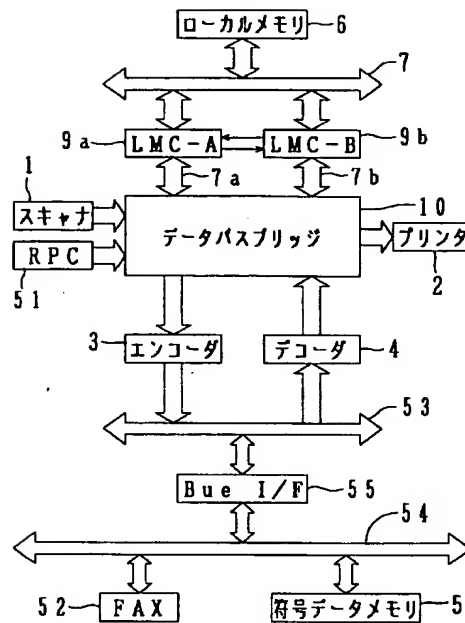
【図 7】



【図 5】



【図6】



フロントページの続き

(72) 発明者 山口 岳人  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 岡田 雄治  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 高橋 直樹  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 田中 丈二  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 久富 健治  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

Fターム(参考) 5B047 AA30 EA01 EB01 EB17  
5B060 CD14 KA01 KA04  
5C073 AA03 BA03 BB09 BD02 CA01  
CE01